

LOG REDUCTION SYSTEM

Publication number: JP61282944

Publication date: 1986-12-13

Inventor: KIHARA YASUHIRO; TANAKA HIROYA; MIZUTANI YASUNAO

Applicant: FUJITSU LTD

Classification:

- International: G06F11/34; G06F11/34; (IPC1-7): G06F11/34

- European:

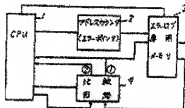
Application number: JP19850123640 19850607

Priority number(s): JP19850123640 19850607

Report a data error here

Abstract of JP61282944

PURPOSE: To reduce the capacity of a private memory by comparing detected errors with stored error information to store only detected errors different from stored error information and updating the number of times of occurrence in case of error information of the same contents. **CONSTITUTION:** If a new error is detected, it is compared with error information stored in a private memory 3 by a comparing circuit 4. If error information coinciding with the detected error exists, the number of times of occurrence recorded in the address of this error information is updated; but if it does not exist, error information of the detected error (including the time and the number of times occurrence) is recorded on a new recording area of the private memory 3. Thus, many error logs are recorded with smaller capacity of the memory.



Data supplied from the esp@cenet database - Worldwide

③ 日本国特許庁(JP)

④ 特許出願公開

⑤ 公開特許公報(A) 昭61-282944

⑥ Int. Cl.⁴
G 06 F 11/34

識別記号 庁内整理番号
7343-5B

⑦ 公開 昭和61年(1986)12月13日

審査請求 未請求 発明の数 1 (全4頁)

⑧ 発明の名称 ログ縮小方式

⑨ 特 願 昭60-123640

⑩ 出 願 昭60(1985)6月7日

⑪ 発 明 者	木 原 康 英	川崎市中原区上小田中1015番地	富士通株式会社内
⑫ 発 明 者	田 中 泰 也	川崎市中原区上小田中1015番地	富士通株式会社内
⑬ 発 明 者	水 谷 泰 尚	川崎市中原区上小田中1015番地	富士通株式会社内
⑭ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
⑮ 代 理 人	弁理士 松岡 宏四郎		

明 細 書

1. 発明の名称

ログ縮小方式

2. 特許請求の範囲

発生するエラーを時系列的に記録するエラーログ専用メモリ(3)と、

前記メモリ(3)に該エラーを記録するアドレスを発生するアドレスカウンタ(2)と、

前記メモリ(3)や前記アドレスカウンタ(2)の動作を制御する主制御部(1)とからなり、

前記メモリ(3)の記憶領域が一杯になると一言古いエラー情報を記憶している領域から更新する装置において、

データ送受時エラーが発生すると、その時のエラー発生時刻とエラー情報を前記メモリ(3)にすでに記憶済みのエラー情報と比較する比較回路(4)と、

前記メモリ(3)のエラー記憶領域に同一エラー情報の発生回数を記憶する領域とを設け、

新たに発生したエラーを前記比較回路(4)で比較した時、不一致と判定された該エラーは前記メモリ(3)に記憶し、一致と判定された該エラーは前記メモリ(3)の前記発生回数を更新することと特徴とするログ縮小方式。

3. 発明の詳細な説明

(概要)

ログ縮小方式であって、エラーログ専用メモリに主制御部で検出したエラーを時系列的に全て記録していたのに対照して、事象に配慮しているエラー情報と比較して相違するもののみ記憶し、同一内容のエラー情報はその発生回数を更新するように構成し、専用メモリの容量の縮小化を可能とする。

(産業上の利用分野)

本発明は、少ないメモリ容量で多くのエラーログを記録するログ縮小方式に関する。

情報処理システムの発展により、各種の端末装

置が同様に利用されるようになって来たが、これらの端末装置には各種目的に利用されるメモリが設置されているのが一般的である。

一方、これらの端末装置は何処にでも設置可能のようにその構造的容認に一定の制限があり、かかる端末装置に設置されているメモリ容量も出来るだけ小容量のもので、しかも規模も充分に発揮出来るようなものが要求されている。

(従来の技術と発明が解決しようとする問題点)

第4図は従来例を説明するブロック図を示す。

第4図の事例に示すメモリは発生するエラーを時系列的に記録するエラーログ専用メモリ3であり、その容量に一定の制限が設けられている。

更に、この専用メモリ3のメモリ領域は第4図に示すように(1)～(N)領域に分割され、各領域(1)～(N)にはエラーの発生した時刻とエラー情報(エラー記録されており、その記録方法は、例えば領域(1)から順番に記録される。

又、この専用メモリ3は各領域(1)～(N)が一

杯になると最古のログ情報、即ち領域(1)のエラー情報から最新ログ情報を上書きして行くようにアドレスカウンタ(エラーポインタ)2がアドレスを発生する。尚、これらの動作制御は制御部1(以下CPU1と称する)にて行う。

上述のような動作処理でメモリ容量の一定の時のある専用メモリ3に時系列的に発生したエラーを記録していった場合、同時刻に同種類のエラーが連続して発生すると専用メモリ3に記録されているエラー情報が同種類のエラー情報で一杯になってしまうという問題点がある。

(問題点を解決するための手段)

第1図は本発明の原理ブロック図を示す。

第1図は第4図で説明したCPU1、アドレスカウンタ(エラーポインタ)2、エラーログ専用メモリ3と。

CPU1で検出された新たなエラー情報とその検出時刻に関する情報と、すでにエラーログ専用メモリ3に記録されているエラー情報とを比較する比

較回路4とから構成されている。

尚、エラーログ専用メモリ3は分割されている各領域(1)～(N)の「時刻」、「エラー情報」を記録する部分の他に「回数」を記録する部分を新たに設け構成している。

(作用)

新たにエラーが検出されると比較回路4で専用メモリ3に記録しているエラー情報と順次比較して行き、一致するエラー情報があればそのアドレスに記録されている「回数」を更新し、不一致であれば専用メモリ3の新たな記録領域にそのエラー情報(時刻及び回数を含む)を記録するようにして、少ないメモリ容量で多くのエラーログの記録を可能とする。

(実施例)

以下本発明の要旨を第2図、第3図に示す実施例により具体的に説明する。

第2図は本発明の実施例を説明するブロック図、

第3図は本実施例の処理手順を説明する図をそれぞれ示す。尚、全面を通じて同一符号は同一要素を示す。

本実施例のエラーログ専用メモリ3は、第2図に示すように各分割された領域(1)～(N)に「時刻」、「エラー情報」、「回数」を記録する部分を有するもので、アドレスカウンタ2の指示するアドレスは各領域(1)～(N)に対応する。

比較回路4は新たにエラーが発生し検出される度にそのエラー情報をCPU1から送出してもらい、事前に発生して専用メモリ3に記録しているエラー情報の全てと順次比較して行き、その結果一致情報のと不一致情報ととして送出する。尚、上述の動作処理の制御は全てCPU1で制御される。

次に、本実施例の処理手順を第3図に示す処理手順を参照して説明する。

エラー発生があり、それをCPU1が検出するとその発生時刻及びエラー情報をCPU1で記憶すると共に比較回路4に送出する。(ステップS1)

比較回路4はCPU1から送出されるエラー情報と

エラーログ専用メモリに記録されているエラー情報があれば、その記録しているエラー情報の金でと順次比較照合して行き、もし一致したエラー情報があれば比較照合動作を停止する。(ステップ55)

比較回路4で比較照合した結果、不一致の場合不一致情報のその順次CPUに送出する。一致の場合は一致情報のをCPUと専用メモリ3とに送出する。(ステップ58)

専用メモリ3に記録されているエラー情報が金で不一致の場合、CPUはアドレスカウンタ(エラーポインタ)2から出力する専用メモリ3のアドレスに新たなエラー情報を発生した時刻と共に記録する。尚、その時の「回数」は「1」とする。(ステップ54)

次に、CPUはアドレスカウンタ(エラーポインタ)2をインクリメントして金での動作処理を終了させる。(ステップ55)

もし、ステップ53で一致情報のが比較回路4から送出されるとその時のアドレス領域(1)の「回

数」部分が一致情報のにより更新される。(ステップ58)

このようにエラー情報を記録することにより、発生しているエラーの種類とその中でどのエラーが一番多く発生しているかをエラー解析をするうえで必要な情報が容量の少ない専用メモリ3から得ることが可能となる。

(発明の効果)

以上のような本発明によれば、発生しているエラーを解析し対策を取るうえで必要とするエラー情報が少ないメモリ容量で多くのエラー情報が効率的に得られると云う効果がある。

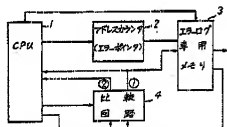
4. 図面の簡単な説明

- 第1図は本発明の原理ブロック図、
第2図は本発明の実施例を説明するブロック図、
第3図は本発明の処理手順を説明する図、
第4図は従来例を説明するブロック図、
をそれぞれ示す。

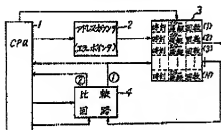
図において、

- 1はCPU、
2はアドレスカウンタ(エラーポインタ)、
3はエラーログ専用メモリ、
4は比較回路、
(1)～(10)はメモリ領域、
をそれぞれ示す。

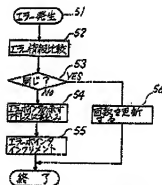
代理人 弁理士 松岡憲四郎



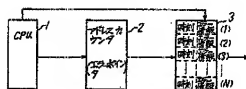
本発明の原理ブロック図
第1図



本発明の実施例を説明するブロック図
第2図



本実施例の処理手順を説明する図
第 3 図



従来例を説明するブロック図
第 4 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-282944

(43)Date of publication of application : 13.12.1986

(51)Int.Cl.

G08F 11/34

(21)Application number : 60-123840

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.06.1985

(72)Inventor : KIHARA YASUhide
TANAKA HIROYA
MIZUTANI YASUNAO

(54) LOG REDUCTION SYSTEM

(57)Abstract:

PURPOSE: To reduce the capacity of a private memory by comparing detected errors with stored error information to store only detected errors different from stored error information and updating the number of times of occurrence in case of error information of the same contents.

CONSTITUTION: If a new error is detected, it is compared with error information stored in a private memory 3 by a comparing circuit 4. If error information coinciding with the detected error exists, the number of times of occurrence recorded in the address of the this error information is updated; but if it does not exist, error information of the detected error (including the time and the number of times occurrence) is recorded on a new recording area of the private memory 3. Thus, many error logs are recorded with smaller capacity of the memory.

